

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat  
(c) 2004 EPO. All rts. reserv.

13823653

Basic Patent (No,Kind,Date): JP 9186336 A2 970715 <No. of Patents: 001>

**METHOD OF MANUFACTURING THIN FILM TRANSISTOR** (English)

Patent Assignee: CASIO COMPUTER CO LTD

Author (Inventor): KUDO TOSHIO; WAKAI HARUO

IPC: \*H01L-029/786; H01L-021/336

CA Abstract No: 127(13)184293T

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 9186336	A2	970715	JP 95351234	A	951227 (BASIC)

Priority Data (No,Kind,Date):

JP 95351234 A 951227

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

05571536    \*\*Image available\*\*

METHOD OF MANUFACTURING THIN FILM TRANSISTOR

PUB. NO.:        09-186336 [JP 9186336 A]

PUBLISHED:      July 15, 1997 (19970715)

INVENTOR(s):    KUDO TOSHIO

                 WAKAI HARUO

APPLICANT(s):   CASIO COMPUT CO LTD [350750] (A Japanese Company or  
                 Corporation), JP (Japan)

APPL. NO.:      07-351234 [JP 95351234]

FILED:           December 27, 1995 (19951227)

INTL CLASS:     [6] H01L-029/786; H01L-021/336

JAPIO CLASS:    42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R002 (LASERS); R004 (PLASMA); R096 (ELECTRONIC MATERIALS --  
                 Glass Conductors)

ABSTRACT

PROBLEM TO BE SOLVED: To simplify the bottom gate type polysilicon thin film transistor.

SOLUTION: A hydrogen containing true amorphous silicon thin film 25 and a channel protective film forming film 26 comprising a silicon nitride are continuously formed on the surface of the second insulating film 24. Next, the amorphous silicon film 25 is dehydrogenated by irradiating the film 25 with excimer laser in low density in the atmosphere and then the true amorphous silicon thin film 25 is polymerized to form a true polysilicon thin film 27. At this time, this step can be performed simply by changing the energy density of the excimer laser. Besides, after the formation of a channel protective film 26a, a source region 28a and a drain region 28b are formed of a formed n type silicon film. In such a case, both impurity implanting step and activating step can be eliminated.

特開平9-186336

(43) 公開日 平成9年(1997)7月15日

(51) Int. Cl. <sup>6</sup>

H01L 29/786

21/336

識別記号

F I

H01L 29/78

627

E

627

G

審査請求 未請求 請求項の数 6 F D (全6頁)

(21) 出願番号 特願平7-351234

(22) 出願日 平成7年(1995)12月27日

(71) 出願人 000001443

カシオ計算機株式会社

東京都新宿区西新宿2丁目6番1号

(72) 発明者 工藤 利雄

東京都八王子市石川町2951番地の5 カシ  
オ計算機株式会社八王子研究所内

(72) 発明者 若井 晴夫

東京都八王子市石川町2951番地の5 カシ  
オ計算機株式会社八王子研究所内

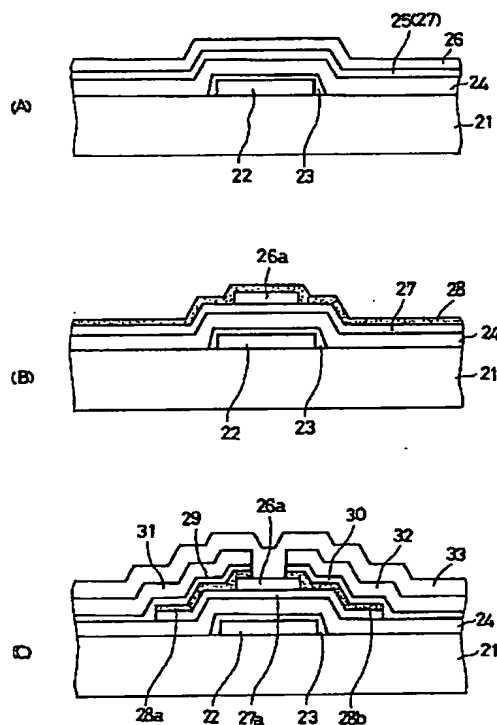
(74) 代理人 弁理士 杉村 次郎

(54) 【発明の名称】 薄膜トランジスタの製造方法

(57) 【要約】

【課題】 ボトムゲート型のポリシリコン薄膜トランジスタの製造工程を簡略化する。

【解決手段】 第2ゲート絶縁膜24の上面に水素含有の真性なアモルファスシリコン薄膜25および窒化シリコンからなるチャネル保護膜形成用膜26を連続して成膜する。次に、大気中においてエキシマレーザを低エネルギー密度で照射することにより、アモルファスシリコン薄膜25の脱水素化処理を行い、次いで同じく大気中においてエキシマレーザを高エネルギー密度で照射することにより、真性なアモルファスシリコン薄膜25をポリ化して真性なポリシリコン薄膜27を形成する。この場合、エキシマレーザのエネルギー密度を変えるだけでよい。また、チャネル保護膜26aを形成した後、ソース領域28aおよびドレイン領域28bを、成膜したn型シリコン膜によって形成する。この場合、不純物注入工程および活性化工程が不要となる。



## 【特許請求の範囲】

【請求項 1】 ソース、ドレイン、チャネル領域を有するポリシリコンを活性半導体層とする薄膜トランジスタの製造方法において、水素化アモルファスシリコン膜に、エキシマレーザを前回の照射領域と 50 % 以上オーバーラップさせて照射するスキャン走査を全領域に行つて、前記水素化アモルファスシリコン膜を脱水素化およびポリ化することを特徴とする薄膜トランジスタの製造方法。

【請求項 2】 請求項 1 記載の発明において、エキシマレーザを前回と 90 % 以上オーバーラップさせることを特徴とする薄膜トランジスタの製造方法。

【請求項 3】 請求項 1 記載の発明において、エキシマレーザを短い幅を有する細長い帯状のビーム形状とし、この帯状ビームの幅方向にスキャン走査することを特徴とする薄膜トランジスタの製造方法。

【請求項 4】 請求項 1 記載の発明において、エキシマレーザを複数回照射した上、スキャン走査することを特徴とする薄膜トランジスタの製造方法。

【請求項 5】 請求項 4 記載の発明において、前記複数回のエキシマレーザの照射は最初が最もエネルギー密度が低いことを特徴とする薄膜トランジスタの製造方法。

【請求項 6】 請求項 1 記載の発明において、全領域をスキャン走査後、1 回目よりもエネルギー密度を大きくして再度エキシマレーザを照射しながらスキャン走査することを特徴とする薄膜トランジスタの製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 この発明は薄膜トランジスタの製造方法に関し、特にボトムゲート型のポリシリコン薄膜トランジスタの製造方法に関する。

## 【0002】

【従来の技術】 図 3 は従来のボトムゲート型のポリシリコン薄膜トランジスタの製造工程を示し、図 4 (A) ~ (D) はそれぞれ図 3 に示す製造工程を経て製造される薄膜トランジスタの各状態における断面図を示したものである。この薄膜トランジスタの製造に際しては、まず図 3 に示すゲート電極形成工程 A において、図 4 (A) に示すように、ガラス基板 1 の上面の所定の個所にゲート電極 2 を形成する。次に、図 3 に示す 2 層連続成膜工程 B において、ゲート電極 2 を含むガラス基板 1 の上面全体にゲート絶縁膜 3 および水素含有の真性なアモルファスシリコン薄膜 4 を連続して成膜する。次に、図 3 に示す脱水素化工程 C において、後の工程でエキシマレーザ照射により高エネルギーを与えたとき水素が突沸して欠陥が生じるのを避けるために、脱水素化用電気炉で熱処理を行うことにより、アモルファスシリコン薄膜 4 中の水素濃度を低減する。

【0003】 次に、図 3 示すポリ化工程 D において、エキシマレーザを高エネルギー密度で照射することにより、

真性なアモルファスシリコン薄膜 4 をポリ化して真性なポリシリコン薄膜 5 を形成する。次に、図 3 に示す不純物注入工程 E において、図 4 (B) に示すように、ポリシリコン薄膜 5 のうちチャネル領域 5 a となる領域上に不純物注入マスク 6 を形成し、ポリシリコン薄膜 5 のうちチャネル領域 5 a を除く全領域にリン等の n 型不純物を注入する。この後、不純物注入マスク 6 を剥離する。次に、図 3 に示す活性化工程 F において、エキシマレーザを低エネルギー密度で照射することにより、n 型不純物注入領域を活性化する。次に、図 3 に示すチャネル保護膜形成工程 G において、図 4 (C) に示すように、ポリシリコン薄膜 5 のうちチャネル領域 5 a となる領域上にチャネル保護膜 7 を形成する。

【0004】 次に、図 3 に示すデバイスエリア形成工程 H において、図 4 (D) に示すように、ポリシリコン薄膜 5 のうち不要な部分を除去する。この状態では、ポリシリコン薄膜 5 の中央部は真性領域からなるチャネル領域 5 a とされ、その両側は n 型不純物注入領域からなるソース領域 5 b およびドレイン領域 5 c とされている。次に、図 3 に示すソース・ドレイン電極形成工程 I において、チャネル保護膜 7 の上面両側およびソース領域 5 b、ドレイン領域 5 c の各上面等にソース電極 8 およびドレイン電極 9 を形成する。次に、図 3 に示すオーバーコート膜成膜工程 J において、全上面にオーバーコート膜 10 を成膜する。次に、図 3 に示す水素化工程 K において、水素化用電気炉または水素化用プラズマ炉で水素化処理を行うことにより、ポリシリコン薄膜 5 のダングリングボンドを減少させる。かくして、ボトムゲート型のポリシリコン薄膜トランジスタが製造される。

## 【発明が解決しようとする課題】

【0005】 ところで、従来のこのようなボトムゲート型のポリシリコン薄膜トランジスタの製造方法では、従来の同型のつまりボトムゲート型のアモルファスシリコン薄膜トランジスタの製造方法と比較すると、脱水素化工程 C、ポリ化工程 D、不純物注入工程 E、活性化工程 F および水素化工程 K が付加されており、製造工程が複雑であるという問題があった。この場合、特に、脱水素化工程 C のための脱水素化用電気炉とポリ化工程 D および活性化工程 F のためのエキシマレーザ装置とが別々の装置であるので、製造工程が複雑となり、また設備投資が増大する要因となっている。この発明の課題は、製造工程を簡略化するとともに設備投資を低減化することである。

## 【0006】

【課題を解決するための手段】 この発明は、ソース、ドレイン、チャネル領域を有するポリシリコンを活性半導体層とする薄膜トランジスタの製造方法において、水素化アモルファスシリコン膜に、エキシマレーザを前回の照射領域と 50 % 以上オーバーラップさせて照射するスキャン走査を全領域に行つて、前記水素化アモルファス

シリコン膜を脱水素化およびポリ化するようにしたものである。

【 0 0 0 7 】 この発明によれば、水素化アモルファスシリコン膜に、エキシマレーザを前回の照射領域と 5 0 % 以上オーバーラップさせて照射するスキャン走査によって、脱水素化工程とポリ化工程とを一度に行うことができることとなり、したがって製造工程を簡略化することができ、またこれに伴い設備投資を低減化することができる。

【 0 0 0 8 】

【発明の実施の形態】 図 1 はこの発明の一実施形態におけるボトムゲート型のポリシリコン薄膜トランジスタの製造工程を示し、図 2 ( A ) ~ ( C ) はそれぞれ図 1 に示す製造工程を経て製造される薄膜トランジスタの各状態における断面図を示したものである。この薄膜トランジスタの製造に際しては、まず図 1 に示すゲート電極形成工程 A において、図 2 ( A ) に示すように、ガラス基板 2 1 の上面の所定の個所にアルミニウム-チタン合金からなるゲート電極 2 2 を形成する。次に、図 1 に示す陽極酸化工程 B において、陽極酸化処理を行うことにより、ゲート電極 2 2 の表面に酸化アルミニウムからなる第 1 ゲート絶縁膜 2 3 を形成する。次に、図 1 に示す 3 層連続成膜工程 C において、第 1 ゲート絶縁膜 2 3 を含むガラス基板 2 1 の上面全体に、P E - C V D により、窒化シリコンからなる第 2 ゲート絶縁膜 2 4、水素含有の真性なアモルファスシリコン薄膜 2 5 および窒化シリコンからなるチャネル保護膜形成用膜 2 6 を連続して成膜する。

【 0 0 0 9 】 次に、図 1 に示す脱水素化・ポリ化工程 D について説明するが、この場合、水素含有の真性アモルファスシリコン薄膜 2 5 上にチャネル保護膜形成用膜 2 6 を成膜しているため、大気中において低エネルギー密度のエキシマレーザの照射により、水素含有の真性アモルファスシリコン薄膜 2 5 の脱水素化処理を行うことができる。そこで、まず大気中においてエキシマレーザを低エネルギー密度で例えば  $60 \sim 150 \text{ mJ/cm}^2$  程度で照射すると、アモルファスシリコン薄膜 2 5 中の水素濃度が低減し、次いで同じく大気中においてエキシマレーザを高エネルギー密度で例えば  $150 \sim 300 \text{ mJ/cm}^2$  程度で照射すると、真性なアモルファスシリコン薄膜 2 5 がポリ化して真性なポリシリコン薄膜 2 7 が形成される。このように、脱水素化工程とポリ化工程とをエキシマレーザのエネルギー密度を変えるだけで連続して行うことができるので、製造工程を簡略化することができる。

【 0 0 1 0 】 ところで、脱水素化・ポリ化工程 D におけるエキシマレーザの照射は、ビームサイズを短い幅を有する細長い帯状とされたレーザビームをビームサイズの幅方向にオーバーラップさせながらスキャン照射することにより行う。この場合、オーバーラップ量を好ましく

は 5 0 % 以上、より好ましくは 9 0 ~ 9 9 % とすることが重要である。また、エキシマレーザの照射は、低エネルギー密度と高エネルギー密度とを 2 回以上、好ましくは低エネルギー密度からエネルギー密度を除々に高くして、例えば  $10 \sim 20 \text{ mJ/cm}^2$  程度ずつ高くして、3 回以上行うようにしてもよい。スキャン走査の方法としては、1 領域においてエネルギー密度を除々に高くして複数回エキシマレーザを照射した後、この 1 領域と 5 0 % 以上オーバーラップするようにシフトしてエキシマレーザの照射を行うスキャン走査を全領域に亘って繰り返す方法と、スキャン走査によって全領域に亘って低エネルギー密度でエキシマレーザを照射した上、エネルギー密度を大きくして再度エキシマレーザを全領域に照射する方法とがある。なお、エキシマレーザ照射の代わりに、ランプ照射を行うようにしてもよい。

【 0 0 1 1 】 次に、図 1 に示すチャネル保護膜形成工程 E において、図 2 ( B ) に示すように、チャネル保護膜形成用膜 2 6 のうち不要な部分を除去することにより、ポリシリコン薄膜 2 7 上の所定の個所にチャネル保護膜 2 6 a を形成する。次に、図 1 に示す n 型シリコン成膜工程 F において、チャネル保護膜 2 6 a を含むポリシリコン薄膜 2 7 の上面全体に P E - C V D によりリン等がドーパされた n 型シリコン膜 2 8 を成膜する。次に、図 1 に示すデバイスエリア形成工程 G において、図 2

( C ) に示すように、n 型シリコン膜 2 8 のうち不要な部分を除去してソース領域 2 8 a およびドレイン領域 2 8 b を形成するとともに、ポリシリコン薄膜 2 7 のうち不要な部分を除去してチャネル領域 2 7 a を形成する。すなわち、チャネル保護膜 2 6 a の上面両側およびその両側におけるチャネル領域 2 7 a の各上面にソース領域 2 8 a およびドレイン領域 2 8 b を形成する。この場合、チャネル領域 2 7 a は真性ポリシリコンからなり、ソース領域 2 8 a およびドレイン領域 2 8 b は n 型シリコンからなっている。このように、ソース領域 2 8 a およびドレイン領域 2 8 b を、成膜した n 型シリコン膜によって形成しているため、不純物注入工程および活性化工程が不要となり、したがってこれによっても製造工程を簡略化することができる。なお、ソース領域 2 8 a およびドレイン領域 2 8 b は n 型アモルファスシリコンあるいは n 型ポリシリコンからなるものであってもよい。

【 0 0 1 2 】 次に、図 1 に示すソース・ドレイン電極形成工程 H において、ソース領域 2 8 a およびドレイン領域 2 8 b の各上面等に、クロムからなる第 1 ソース電極 2 9 および第 1 ドレイン電極 3 0 を形成し、続いてその各上面にアルミニウム-チタン合金からなる第 2 ソース電極 3 1 および第 2 ドレイン電極 3 2 を形成する。次に、図 1 に示すオーバーコート膜成膜工程 I において、全上面にオーバーコート膜 3 3 を成膜する。次に、図 1 に示す水素化工程 J において、水素化用電気炉または水素化用プラズマ炉で水素化処理を行うことにより、チャ

ネル領域 2 7 a、ソース領域 2 8 a およびドレイン領域 2 8 b のダングリングボンドを減少させる。かくして、ボトムゲート型のポリシリコン薄膜トランジスタが製造される。

【0 0 1 3】ところで、図 1 に示す製造工程を、従来のボトムゲート型のポリシリコン薄膜トランジスタの製造工程と比較した場合、脱水素化・ポリ化工程 D および水素化工程 J が付加されているだけであるので、従来のボトムゲート型のポリシリコン薄膜トランジスタの製造プロセスラインに脱水素化・ポリ化工程 D のためのエキシマレーザ装置および水素化工程 J のための水素化用電気炉または水素化用プラズマ炉を付加すると、従来のボトムゲート型のポリシリコン薄膜トランジスタの製造プロセスラインを若干変更してそのまま使用することにより、この発明の薄膜トランジスタを製造することができることになる。なお、この発明は、p 型のポリシリコン薄膜トランジスタにも適用することができる。

【0 0 1 4】

【発明の効果】以上説明したように、この発明によれば、水素化アモルファスシリコン膜に、エキシマレーザを前回の照射領域と 5 0 % 以上オーバーラップさせて照射するスキャン走査によって、脱水素化工程とポリ化工程とを一度に行うことができることとなり、したがって製造工程を簡略化することができ、またこれに伴い設備投資を低減化することができる。

【図面の簡単な説明】

【図 1】この発明の一実施形態における薄膜トランジスタの製造工程を示す図。

【図 2】(A) ~ (C) はそれぞれ図 1 に示す製造工程を経て製造される薄膜トランジスタの各状態における断面図。

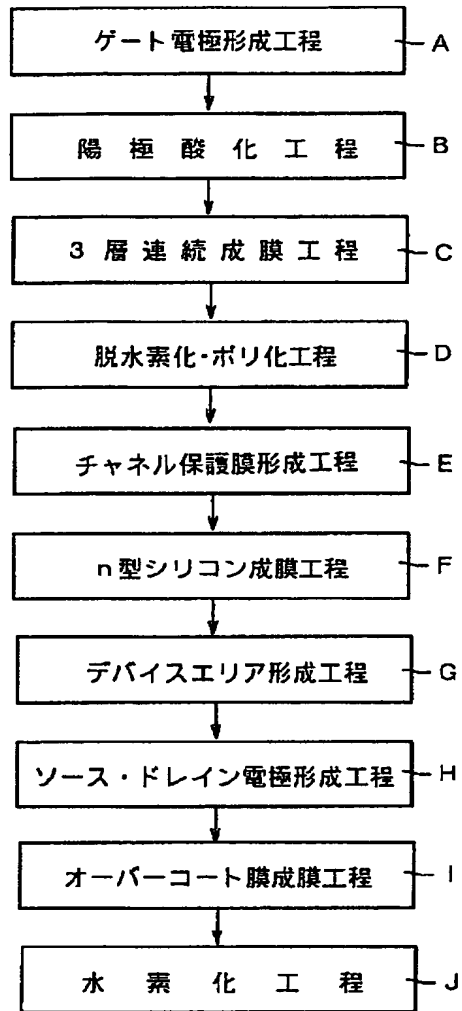
【図 3】従来の薄膜トランジスタの製造工程を示す図。

【図 4】(A) ~ (D) はそれぞれ図 3 に示す製造工程を経て製造される薄膜トランジスタの各状態における断面図。

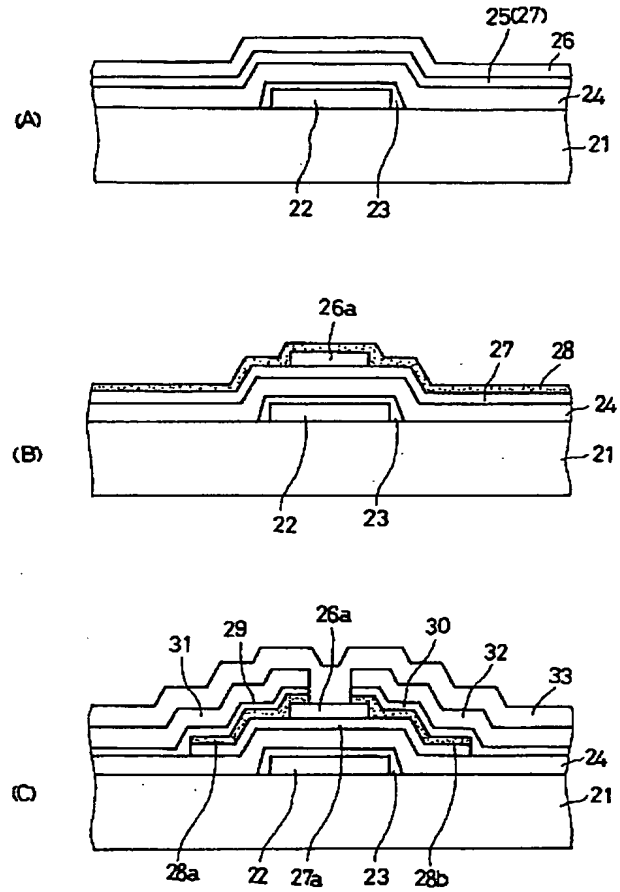
【符号の説明】

- 2 2 ゲート電極
- 2 3 第 1 ゲート絶縁膜
- 2 4 第 2 ゲート絶縁膜
- 2 5 アモルファスシリコン薄膜
- 2 6 チャンネル保護膜形成用膜
- 2 6 a チャンネル保護膜
- 2 7 ポリシリコン薄膜
- 2 7 a チャンネル領域
- 2 8 n 型シリコン膜
- 2 8 a ソース領域
- 2 8 b ドレイン領域
- 2 9 第 1 ソース電極
- 3 0 第 1 ドレイン電極
- 3 1 第 2 ソース電極
- 3 2 第 2 ドレイン電極

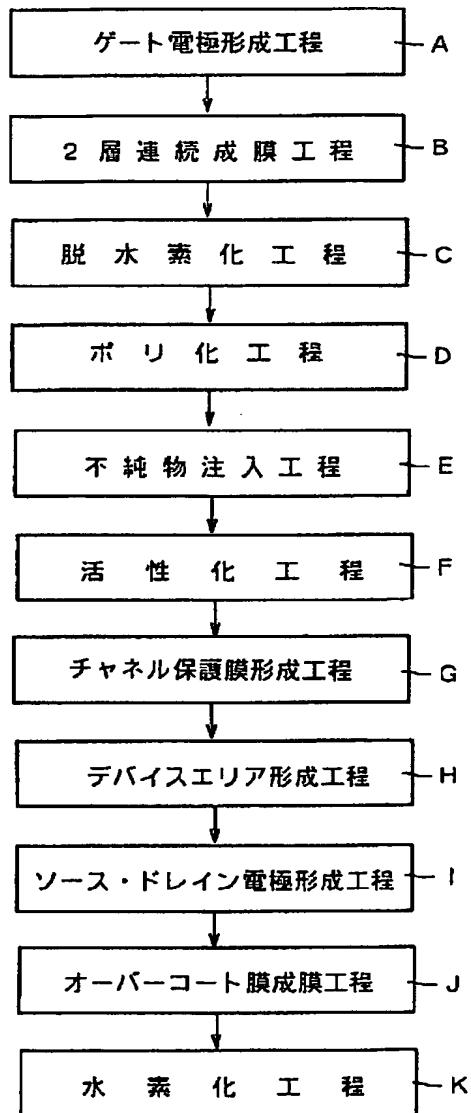
【図 1】



【図 2】



【図 3】



【図 4】

